

특 허 협 력 조 약
(PATENT COOPERATION TREATY)

발신:수리관청

수신:

AN, Sang Jeong

512-1906 221, Gumi-dong, Bundang-guSeongnam-si,
Kyunggi-do463-715Republic of Korea**PCT**

국제출원번호 및 국제출원일 통지서

(PCT 규칙 20.5(C))

발송일
(일/월/년)

31 MARCH 2005 (31.03.2005)

출원인 또는 대리인의 서류참조기호

Out41-1

중요통지사항

국제출원번호

PCT/KR2005/000618

국제출원일 (일/월/년)

04 MARCH 2005 (04.03.2005)

우선일 (일/월/년)

05 MARCH 2004 (05.03.2004)

출원인

EPIVALLEY CO., LTD. et al

발명의 명칭

III-NITRIDE SEMICONDUCTOR LIGHT EMITTING DEVICE

1. 이 국제출원은 위에 기재된 바와 같이 국제출원번호와 국제출원일이 부여되었습니다.

2. 이 국제출원의 기록원본은:



자로 국제사무국에 송부되었습니다.

아래의 사유로 인하여 아직 국제사무국에 송부되지 않았으며, 이 통지서의 사본은 국제사무
국에 송부되었습니다*:

국가안전보장에 필요한 허가를 얻지 못했음



기타 (이유를 상술):

* 자가지정 관련 안내

국내 선출원을 기초로 우선권주장을 하면서 대한민국(KR)을 지정국으로 지정한 경우, 우선권주장의 기초가 된 국내
선출원은 우선일로부터 15개월 후에 자동 취하되므로, 국내서면 제출기간(우선일로부터 30개월)내에 반드시 국내단
계 진입절차[번역문(외국어로 출원된 경우에 한함) 및 특허법제203조의 서면제출, 국내수수료 납부]를 밟아야 합니다.
다만, 국내 선출원을 15개월 후에도 계속 유지하기를 원하는 경우에는 우선일로부터 15개월 이내에 대한민국(KR)에
대한 지정을 취하하여야 합니다.

- 국제사무국은 수리관청에 의한 기록원본의 송달을 감시하고 그 접수사실을 출원인에게 통지합니다.
(서식 PCT/IB/301). 국제사무국은 우선일부터 14월이 경과할 때까지 기록원본을 수령하지 않은
때에는 출원인에게 이를 통지합니다. (규칙 22.1(c)).

수리관청명칭 및 우편주소

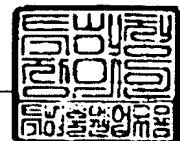
Korean Intellectual Property Office
920 Dunsan-dong, Seo-gu, Daejeon 302-701,
Republic of Korea

팩스번호: 82-42-472-7140

특허청장

COMMISSIONER

전화번호: 82-42-481-5281



명세서

III-질화물 반도체 발광소자 {III-NITRIDE SEMICONDUCTOR LIGHT EMITTING DEVICE}

기술분야

- [1] 본 발명은 III-질화물 반도체 발광소자에 관한 것으로서, 특히 p형 질화물 반도체층과 이와 접하는 p측 전극 사이의 접촉저항을 낮게 하여 활성층에 정공을 효과적으로 공급할 수 있도록 한 III-질화물 반도체 발광소자에 관한 것이다.

- [2] 여기서, III-질화물 반도체 발광소자는 $\text{Al}(x)\text{Ga}(y)\text{In}(1-x-y)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)로 된 화합물 반도체층을 포함하는 발광다이오드와 같은 발광소자를 의미하며, 추가적으로 SiC, SiN, SiCN, CN와 같은 다른 족(group)의 원소들로 된 반도체층이나 다른 족 원소들로 된 물질 자체가 포함되는 것을 배제하는 것은 아니다.

배경기술

- [3] 도 1은 종래의 III-질화물 반도체 발광소자를 나타내는 도면으로서, 발광소자는 기판(100), 기판(100) 위에 에피성장되는 버퍼층(200), 버퍼층(200) 위에 에피성장되는 n형 질화물 반도체층(300), n형 질화물 반도체층(300) 위에 에피성장되는 활성층(400), 활성층(400) 위에 에피성장되는 p형 질화물 반도체층(500), p형 질화물 반도체층(500) 위에 형성되는 p측 전극(600), p측 전극(600) 위에 형성되는 p측 본딩 패드(700), 적어도 p형 질화물 반도체층(500)과 활성층(400)이 메사식각되어 노출된 n형 질화물 반도체층(301) 위에 형성되는 n측 전극(800)을 포함한다.
- [4] 기판(100)은 동종기판으로 GaN계 기판이 이용되며, 이종기판으로 사파이어 기판, 실리콘카바이드 기판 또는 실리콘 기판이 이용되지만, 질화물 반도체층이 성장될 수 있는 기판이라면 어떠한 형태이어도 좋다. 실리콘카바이드 기판이 사용될 경우에 n측 전극(800)은 실리콘 카바이드 기판 측에 형성될 수 있다.
- [5] 기판(100) 위에 에피성장되는 질화물 반도체층들은 주로 MOCVD(유기금속기상성장법)에 의해 성장된다.
- [6] 버퍼층(200)은 이종기판(100)과 질화물 반도체 사이의 격자상수 및 열팽창계수의 차이를 극복하기 위한 것이며, 미국특허 제5,122,845호에는 사파이어 기판 위에 380°C에서 800°C의 온도에서 100Å에서 500Å의 두께를 가지는 AlN 버퍼층을 성장시키는 기술이 개시되어 있으며, 미국특허 제5,290,393호에는 사파이어 기판 위에 200°C에서 900°C의 온도에서 10Å에서 5000Å의 두께를 가지는 $\text{Al}(x)\text{Ga}(1-x)\text{N}$ ($0 \leq x < 1$) 버퍼층을 성장시키는 기술이

개시되어 있고, 한국특허 제10-0448352호에는 600°C에서 990°C의 온도에서 SiC 버퍼층을 성장시킨 다음 그 위에 $\text{In}(x)\text{Ga}(1-x)\text{N}$ ($0 < x \leq 1$) 층을 성장시키는 기술이 개시되어 있다.

- [7] n형 질화물 반도체층(300)은 적어도 n층 전극(800)이 형성된 영역(n형 컨택층)이 불순물로 도핑되며, n형 컨택층은 바람직하게는 GaN로 이루어지고, Si으로 도핑된다. 미국특허 제5,733,796호에는 Si과 다른 소스 물질의 혼합비를 조절함으로써 원하는 도핑농도로 n형 컨택층을 도핑하는 기술이 개시되어 있다.

- [8] 활성층(400)은 전자와 정공의 재결합을 통해 광자(빛)를 생성하는 층으로서, 주로 $\text{In}(x)\text{Ga}(1-x)\text{N}$ ($0 < x \leq 1$)로 이루어지고, 하나의 양자우물층(single quantum well)이나 복수개의 양자우물층들(multi quantum wells)로 구성된다. WO02/021121호에는 복수개의 양자우물층들과 장벽층들의 일부에만 도핑을 하는 기술이 개시되어 있다.

- [9] p형 질화물 반도체층(500)은 Mg과 같은 적절한 불순물을 이용해 도핑되며, 활성화(activation) 공정을 거쳐 p형 전도성을 가진다. 미국특허 제5,247,533호에는 전자빔 조사에 의해 p형 질화물 반도체층을 활성화시키는 기술이 개시되어 있으며, 미국특허 제5,306,662호에는 400°C 이상의 온도에서 열처리(annealing)함으로써 p형 질화물 반도체층을 활성화시키는 기술이 개시되어 있고, 한국특허 제10-043346호에는 p형 질화물 반도체층 성장의 질소전구체로서 NH_3 와 하이드라진계 소스 물질을 함께 사용함으로써 활성화 공정없이 p형 질화물 반도체층이 p형 전도성을 가지게 하는 기술이 개시되어 있다.

- [10] p층 전극(600)은 p형 질화물 반도체층(500) 전체로 전류가 잘 공급되도록 하기 위해 구비되는 것이며, 미국특허 제5,563,422호에는 p형 질화물 반도체층의 거의 전면에 걸쳐서 형성되며 p형 질화물 반도체층과 오믹접촉하고 Ni과 Au로 이루어진 투광성 전극에 관한 기술이 개시되어 있다. 한편, p층 전극(600)이 빛을 투과시키지 못하도록, 즉 p층 전극(600)이 빛을 기판 측으로 반사하도록 두꺼운 두께를 가지게 형성할 수 있는데, 이러한 p층 전극(600)을 사용하는 발광소자를 플립칩(flip chip)이라 한다. 미국특허 제6,194,743호에는 20nm 이상의 두께를 가지는 Ag 층, Ag 층을 덮는 확산 방지층, 그리고 확산 방지층을 덮는 Au와 Al으로 이루어진 본딩 층을 포함하는 전극 구조에 관한 기술이 개시되어 있다.

- [11] III-질화물 반도체 발광소자에 있어서 소자의 효율은 외부인가전력 대비 발생하는 빛의 세기로 정의할 수 있다. 그런데, p형 질화물 반도체층(500)을 이루는 p형 GaN이 큰 에너지 밴드갭을 가지며($\sim 3.3\text{eV}$), 도핑효율이 5×10^{17} 원자수/ cm^3 보다 작아서 좋지 못하기 때문에 이와 접하는 p층 전극(600)과의 사이에 접촉저항이 매우 커서 소자의 효율성이 좋지 않을 뿐만 아니라 같은 빛의

세기를 생성시키기 위해서 더 높은 전압이 필요하게 된다.

- [12] p형 질화물 반도체층(500)과 p측 전극(600) 사이의 접촉저항을 줄이기 위해서는 고농도로 도핑된 p형 GaN을 형성해야 하나, p형 GaN의 큰 밴드갭과 낮은 도핑효율($< 5 \times 10^{17}$ 원자수/cm³)로 인하여 고농도 도핑된 p형 GaN을 형성하는 것은 매우 어렵다.

- [13] p형 질화물 반도체층(500)으로 사용되는 p형 GaN과 p측 전극(600) 사이의 접촉저항을 줄이기 위해서 여러가지 방법들이 소개된 바 있다. 그 중 하나의 예로서, p형 질화물 반도체층(500)을 p형 GaN 단일층으로 만드는 것이 아니라 p형 GaN/p형 InGaN 혹은 p형 GaN/p형 AlGaIn의 초격자구조로 만들어서 초격자구조 안에 압전전계(piezoelectric field)에 의해 단일 p형 GaN층에서 얻을 수 있는 농도보다 훨씬 더 높은 정공농도를 확보하는 방법을 들 수 있다. 그러나, 이러한 구성에서는 정공이 활성층으로 주입되기 전에 초격자구조내의 수직방향으로 전위장벽을 느끼게 되어 바람직하지 않게 된다.

- [14] 다른 하나의 예를 더 소개하면, p형 질화물 반도체층(500)과 p측 전극(600) 사이에 고농도로 도핑($> 10^{20}$ 원자/cm³)이 가능한 GaAs층이나 AlGaAs층을 성장시키는 방법이 있다(미국특허 제6,410,944호). 그러나, 이 경우는 GaAs층이나 AlGaAs층의 밴드갭이 가시광선 영역보다 작기 때문에 활성층(400)에서 발생하는 빛이 GaAs층이나 AlGaAs층에서 대부분 흡수되어 응용분야가 한정되게 된다.

- [15] 상술한 바와 같이 종래의 III-질화물 반도체 발광소자는 p형 질화물 반도체층(500)과 p측 전극(600) 사이의 접촉저항이 커서 소자의 효율성이 좋지 못하다는 단점이 있으며, 이를 극복할 수 있는 효과적인 수단이 아직 제시되지 못하고 있는 실정이다.

발명의 상세한 설명

기술적 과제

- [16] 본 발명은 상기의 문제점을 해결하기 위한 것으로, p형 질화물 반도체층과 그 위에 접하여 형성되는 p측 전극 사이의 접촉저항을 줄여서 좋은 효율성을 가지는 III-질화물 반도체 발광소자를 제공하는 것을 목적으로 한다.

기술적 해결방법

- [17] 이를 위해, 본 발명은 전자와 정공의 재결합에 의해 빛을 생성하는 활성층을 가지는 복수개의 III-질화물 반도체층들을 포함하며, 복수개의 III-질화물 반도체층들은 최상부에 p형 질화물 반도체층을 구비하는 III-질화물 반도체 발광소자에 있어서, p형 질화물 반도체층 위에 성장되며 정공이 터널링을 통해 p형 질화물 반도체층으로 주입되도록 n형 전도성과 5Å에서 500Å 사이의 두께를

가지는 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$) 층과 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$) 층 위에 형성되는 p층 전극을 포함하는 것을 특징으로 하는 III-질화물 반도체 발광소자를 제공한다.

[18] $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$) 층이 두께에 제한을 가지는 것은 터널링을 효율적으로 가능하게 하는 한편, $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$) 층이 실리콘 카바이드로 이루어질 경우에 이 층의 성장과정에서 하부에 놓이는 복수개의 III-질화물 반도체층들이 질소(N)의 탈착에 의해 품질이 저하되는 것을 염두에 둔 것이다.

[19] 또한 본 발명은 전자와 정공의 재결합에 의해 빛을 생성하는 활성층을 가지는 복수개의 III-질화물 반도체층들을 포함하며, 복수개의 III-질화물 반도체층들은 최상부에 p형 질화물 반도체층을 구비하는 III-질화물 반도체 발광소자에 있어서, p형 질화물 반도체층 위에 성장되는 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c > 0$) 층과 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c > 0$) 층 위에 형성되는 p층 전극을 포함하는 것을 특징으로 하는 III-질화물 반도체 발광소자를 제공한다.

[20] $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c > 0$) 층이 질소(N)를 포함하므로, 이 층의 성장과정에 질소 소스가 지속적으로 공급되어, 복수개의 III-질화물 반도체층들로부터의 질소의 탈착을 방지할 수 있는 추가의 이점을 가진다.

[21] 또한, 본 발명은 p층 전극이 니켈과 금으로 만들어지는 것을 특징으로 하는 III-질화물 반도체 발광소자를 제공한다. 니켈과 금의 합금은 III-질화물 반도체 발광소자에서 사용되는 대표적인 투광성 p층 전극이다.

[22] 또한, 본 발명은 상기 p층 전극이 ITO(산화인듐주석)로 만들어지는 것을 특징으로 하는 III-질화물 반도체 발광소자를 제공한다. 근래에 ITO가 p층 전극으로 많이 사용되고 있으나, ITO는 p형 질화물 반도체층과 오믹접촉을 형성하기가 쉽지 않은 것으로 알려져 있으며, 고농도로 도핑가능한 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$) 층을 구비함으로써 이러한 문제점을 개선할 수 있다.

유리한 효과

[23] 일반적으로, III-질화물 반도체 발광소자에 있어서 p형 질화물 반도체의 큰 에너지 밴드갭과 낮은 도핑효율로 인하여 p형 질화물 반도체 상에 바로 p층 전극을 형성할 경우에 이들 사이에 큰 접촉저항이 생기게 되는데, 이로 인해 소자의 효율성이 떨어지게 된다. 그러나, 본 발명과 같이 p형 질화물 반도체와 p층 전극 사이에 고농도로 도핑이 가능한 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$) 층을 개재함으로써 이러한 문제를 해결할 수 있게 된다.

도면의 간단한 설명

[24] 도 1은 종래의 III-질화물 반도체 발광소자를 설명하기 위한 단면도,

- [25] 도 2는 본 발명의 실시예에 따른 III-질화물 반도체 발광소자를 설명하기 위한 단면도,
 [26] 도 3은 사파이어 기판 위에 성장된 실리콘 카바이드의 XRD 분석 그래프,
 [27] 도 4는 금속/n형 SiC/p형 GaN 구조의 에너지밴드 다이어그램,
 [28] 도 5는 금속/p형 SiC/p형 GaN 구조의 동작원리를 설명하기 위한 에너지밴드 다이어그램.

발명의 실시를 위한 형태

- [29] 이하에서, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명한다. 아래의 실시예는 본 발명의 내용을 이해하기 위해 제시된 것일 뿐이며 당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상 내에서 많은 변형이 가능할 것이다. 따라서, 본 발명의 권리범위가 이러한 실시예에 한정되어지는 것으로 해석되어서는 안된다.
- [30] 도 2는 본 발명의 실시예에 따른 III-질화물 반도체 발광소자를 설명하기 위한 단면도로서, 기판(10) 위에, 버퍼층(11), n형 질화물 반도체층(12), 활성층(13)과, p형 질화물 반도체층(14)이 순차적으로 성장되어 있으며, 그 위쪽에 p측 전극(15)과 p측 본딩 패드(17)가 형성되어 있고, 메사식각되어 노출된 n형 질화물 반도체층(12) 위에 형성되는 n측 전극(17)이 형성되어 있다.
- [31] 도 2를 참조하면, 본 발명은 종래기술과 달리 p형 질화물 반도체층(14)과 p측 전극(15) 사이에 n형 또는 p형 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층(21)이 개재되어 있는 것을 특징으로 한다.
- [32] $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)는 실리콘 카바이드($\text{Si}_a\text{C}_b\text{N}_c$ ($a > 0, b > 0, c = 0$)), 실리콘 카본 나이트라이드($\text{Si}_a\text{C}_b\text{N}_c$ ($a > 0, b > 0, c > 0$)), 또는 카본나이트라이드($\text{Si}_a\text{C}_b\text{N}_c$ ($a = 0, b > 0, c > 0$))를 포함하며, 이들은 모두 유사한 특성을 가지는 물질군이다.
- [33] $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층(21)은 Si, N, As, 또는 P와 같은 n형 도펀트나 B 또는 Al과 같은 p형 도펀트를 $1 \times 10^{18} \sim 1 \times 10^{22}$ 원자수/cm³ 정도의 고농도로 쉽게 도핑할 수 있기 때문에 전위장벽의 두께를 작게하여 정공이 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)(21)을 용이하게 통과하도록 만들 수 있다.
- [34] 도 2에서는 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층(21)으로 실리콘 카바이드($\text{Si}_a\text{C}_b\text{N}_c$ ($a > 0, b > 0, c = 0$))가 사용되었으며, 실리콘 카바이드층(21)은 실리콘과 탄소를 증착기 내에서 반응시킴으로써 얻을 수 있는데, 실리콘 원료로서는 SiH_4 , SiH_2Cl_2 , DTBSi 등을 사용할 수 있고, 탄소 원료로서는 CBr_4 , CH_4 등을 사용할 수 있다.
- [35] 일반적으로 실리콘 카바이드의 성장온도는 1300°C 이상이지만 GaN과 같은 질화물 반도체 상에 실리콘 카바이드를 너무 높은 온도에서 성장시키면 실리콘 카바이드 성장시에 GaN을 기반으로 하는 소자가 손상을 입게 되므로 실리콘 카바이드의 성장온도는 600~1200°C인 것이 바람직하다.

- [36] 그리고, 실리콘 카바이드층의 두께가 너무 두꺼워지면 터널링 장벽이 두꺼워지게 되어 바람직하지 않으므로 실리콘 카바이드층의 두께는 5~500Å 정도로 하는 것이 좋다. 이와 같은 실리콘 카바이드층의 도핑농도, 두께, 및 성장온도는 실리콘 카바이드층에 한정되는 것이 아니라 실리콘 카본 나이트라이드[Si^aC^bN^c (a>0, b>0, c>0)](SiCN)층 또는 카본나이트라이드[Si^aC^bN^c (a=0, b>0, c>0)]층의 형성에도 마찬가지로 적용된다. 이 경우에 질소 원료로는 NH₃ 또는 하이드라진계 소스가 주로 사용된다.
- [37] p층 전극(15) 및 n층 전극(16)은 니켈, 금, 은, 크롬, 티타늄, 백금, 팔라듐, 로듐, 이리듐, 알루미늄, 주석, ITO, 인듐, 탄탈륨, 구리, 코발트, 철, 루테튬, 지르코늄, 텅스텐, 란탄, 및 몰리브덴으로 이루어진 군으로부터 선택된 적어도 어느 하나를 포함하여 이루어질 수 있다.
- [38] 도 3은 사파이어 기판 상에 성장된 실리콘 카바이드의 XRD 분석(X-ray Diffraction analysis) 결과이다. 이 때의 성장온도는 1000°C 였으며, 성장속도는 2Å/sec이었다. 그리고, 성장된 실리콘 카바이드의 두께는 XRD 분석이 가능하도록 5000Å으로 하였으며, 고농도 n도핑을 위한 N 소스로는 NH₃가 사용되었으며, 이 때 도핑농도는 터널링이 일어나기에 충분하도록 4.63×10^{19} 원자수/cm³가 되도록 하였다. 도 3을 참조하면 실리콘 카바이드가 제대로 성장되었음을 알 수 있다.
- [39] 표 1은 일반적인 GaN 기반 발광소자에 고농도로 도핑된 실리콘 카바이드를 약 20Å 성장시켜 소자를 만들었을 때의 전기적 특성을 표로 나타낸 것이다. 이 때 사용된 전극은 ITO전극이었으며, 실리콘 카바이드없이 바로 p형 GaN 위에 전극이 형성되었을 때에 비하여 실리콘 카바이드층이 있는 경우가 낮은 접촉 저항값을 가짐을 알 수 있다.
- [40] 표 1
- | | 접촉층 | Vf@20mA[V] | Vf@10μA[V] | Vr@-10μA[V] |
|--------|-----------|------------|------------|-------------|
| case 1 | p-GaN | 5.25 | 2.37 | 24.1 |
| case 2 | SiC/p-GaN | 3.65 | 2.35 | 25.1 |
- [41] 도 4는 n형 실리콘 카바이드층(21)이 p형 질화물 반도체층(14)과 p층 전극(15) 사이에 존재할 때의 개략적인 에너지 밴드 다이어그램이다. 도 4를 참조하면, 고농도로 도핑된 n형 실리콘 카바이드층(21)이 존재함으로써 좀 더 효율적으로 정공이 p형 질화물 반도체층(14)으로 흘러 들어갈 수 있음을 확인할 수 있다.
- [42] 도 5는 p형 질화물 반도체층(14) 상에 바로 p층 전극(15)이 존재하는 경우(a)와 p형 질화물 반도체층(14)과 p층 전극(15) 사이에 고농도로 도핑된 p형 실리콘

카바이드층(21)이 존재하는 경우(b)의 개략적인 에너지 밴드 다이어그램이다. 도 5를 참조하면, 고농도로 도핑된 p형 실리콘 카바이드층(21)이 존재하는 경우가 좀 더 효율적으로 정공이 p형 질화물 반도체층(14)으로 흘러 들어갈 수 있음을 확인할 수 있다.

청구의 범위

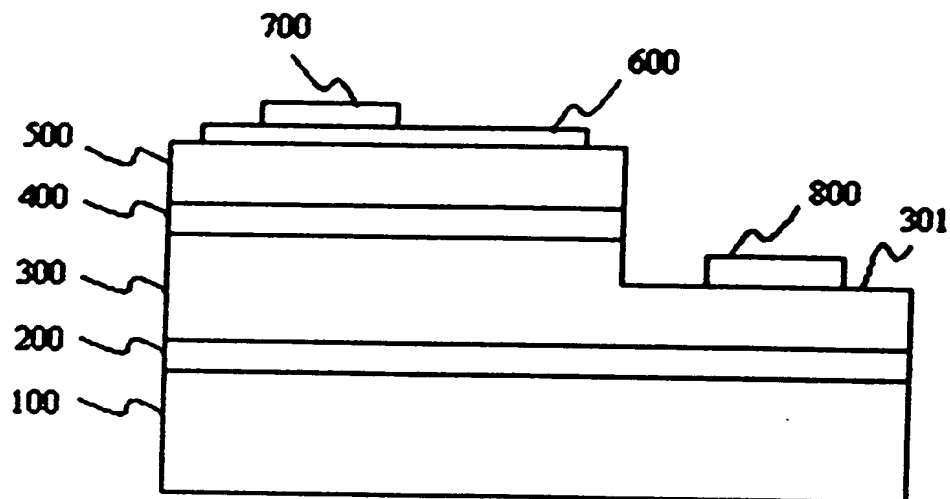
- [1] 전자와 정공의 재결합에 의해 빛을 생성하는 활성층을 가지는 복수개의 III-질화물 반도체층들을 포함하며, 복수개의 III-질화물 반도체층들은 최상부에 p형 질화물 반도체층을 구비하는 III-질화물 반도체 발광소자에 있어서, p형 질화물 반도체층 위에 성장되며 정공이 터널링을 통해 p형 질화물 반도체층으로 주입되도록 n형 전도성과 5Å에서 500Å 사이의 두께를 가지는 $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층;과 $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층 위에 형성되는 p층 전극;을 포함하는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [2] 제 1 항에 있어서, $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층은 1×10^{18} 에서 1×10^{22} 사이의 도핑농도를 가지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [3] 제 1 항에 있어서, $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층은 600°C에서 1200°C 사이의 온도에서 성장되는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [4] 제 1 항에 있어서, p층 전극은 니켈과 금으로 만들어지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [5] 제 1 항에 있어서, p층 전극은 ITO(산화인듐주석)로 만들어지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [6] 제 1 항에 있어서, p층 전극은 니켈, 금, 은, 크롬, 티타늄, 백금, 팔라듐, 로듐, 이리듐, 알루미늄, 주석, ITO(산화인듐주석), 인듐, 탄탈륨, 구리, 코발트, 철, 루테튬, 지르코늄, 텅스텐, 란타 및 몰리브덴으로 이루어진 군으로부터 선택된 적어도 하나로 만들어지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [7] 전자와 정공의 재결합에 의해 빛을 생성하는 활성층을 가지는 복수개의 III-질화물 반도체층들을 포함하며, 복수개의 III-질화물 반도체층들은 최상부에 p형 질화물 반도체층을 구비하는 III-질화물 반도체 발광소자에 있어서, p형 질화물 반도체층 위에 성장되는 $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c > 0$)층;과 $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c > 0$)층 위에 형성되는 p층 전극;을 포함하는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [8] 제 7 항에 있어서, $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c > 0$)층은 600°C에서 1200°C 사이의 온도에서 성장되는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [9] 제 7 항에 있어서, $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c > 0$)층은 1×10^{18} 에서 1×10^{22} 사이의 도핑농도를 가지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [10] 제 7 항에 있어서, $\text{Si}^a\text{C}^b\text{N}^c$ ($a \geq 0, b > 0, c > 0$)층은 5Å에서 500Å 사이의 두께를 가지는 것을 특징으로 하는 III-질화물 반도체 발광소자.

- [11] 제 7 항에 있어서, $\text{Si}_a\text{N}_b\text{C}_c$ ($a \geq 0, b > 0, c > 0$) 층은 p형 전도성을 가지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [12] 제 7 항에 있어서, $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c > 0$) 층은 n형 전도성을 가지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [13] 제 7 항에 있어서, p층 전극은 니켈과 금으로 만들어지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [14] 제 7 항에 있어서, p층 전극은 ITO(산화인듐주석)로 만들어지는 것을 특징으로 하는 III-질화물 반도체 발광소자.
- [15] 제 7 항에 있어서, p층 전극은 니켈, 금, 은, 크롬, 티타늄, 백금, 팔라듐, 로듐, 이리듐, 알루미늄, 주석, ITO(산화인듐주석), 인듐, 탄탈륨, 구리, 코발트, 철, 루테튬, 지르코늄, 텅스텐, 란탄 및 몰리브덴으로 이루어진 군으로부터 선택된 적어도 하나로 만들어지는 것을 특징으로 하는 III-질화물 반도체 발광소자.

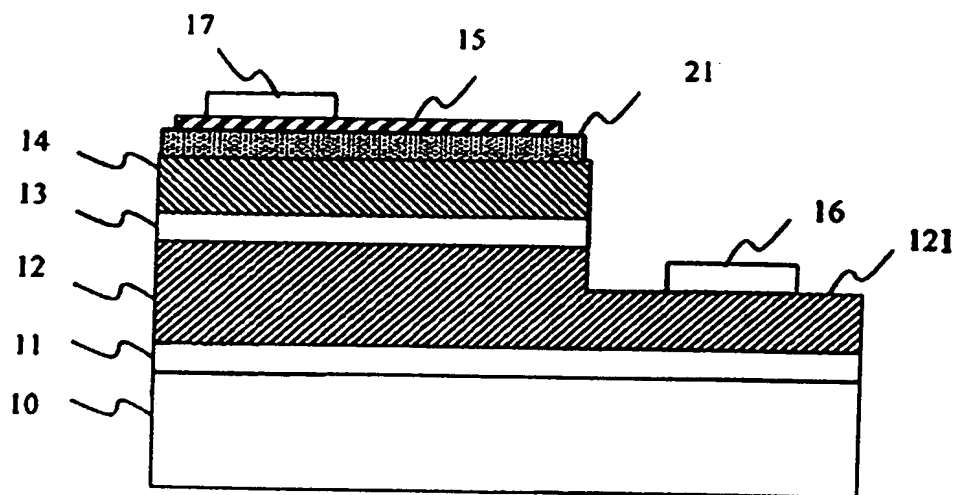
요약서

본 발명은 III-질화물 반도체 발광소자에 관한 것으로서, 전자와 정공의 재결합에 의해 빛을 생성하는 활성층을 가지는 복수개의 III-질화물 반도체층들을 포함하며, 복수개의 III-질화물 반도체층들은 최상부에 p형 질화물 반도체층을 구비하는 III-질화물 반도체 발광소자에 있어서, p형 질화물 반도체층 위에 성장되는 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층;과 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층 위에 형성되는 p측 전극;을 포함하는 것을 특징으로 한다. 일반적으로, III-질화물 반도체 발광소자에 있어서 p형 질화물 반도체의 큰 에너지 밴드갭과 낮은 도핑효율로 인하여 p형 질화물 반도체 상에 바로 p측 전극을 형성할 경우에 이들 사이에 큰 접촉저항이 생기게 되는데, 이로 인해 소자의 효율성이 떨어지게 된다. 그러나, 본 발명과 같이 p형 질화물 반도체와 p측 전극 사이에 고농도로 도핑이 가능한 $\text{Si}_a\text{C}_b\text{N}_c$ ($a \geq 0, b > 0, c \geq 0, a+c > 0$)층을 개재함으로써 이러한 문제를 해결할 수 있게 된다.

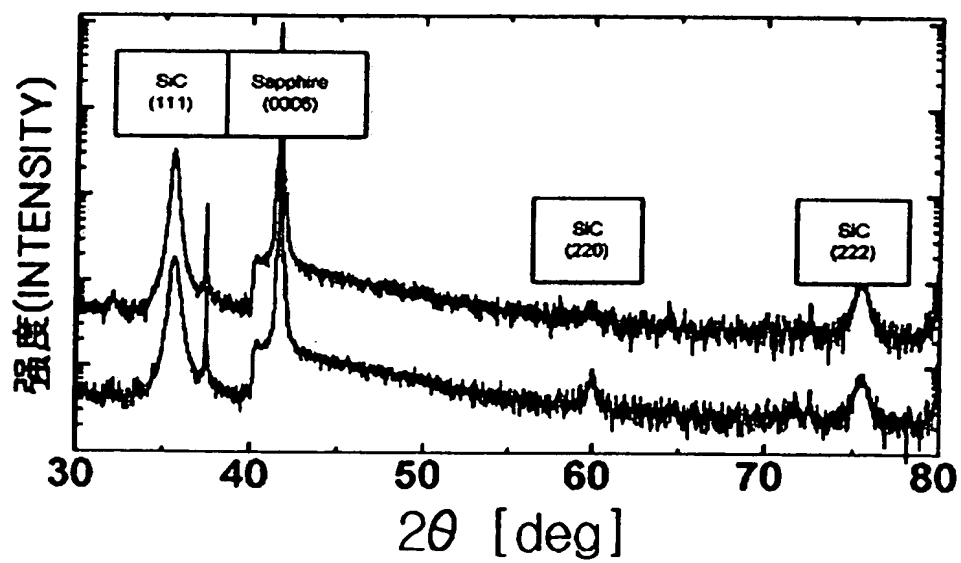
[Fig. 1]



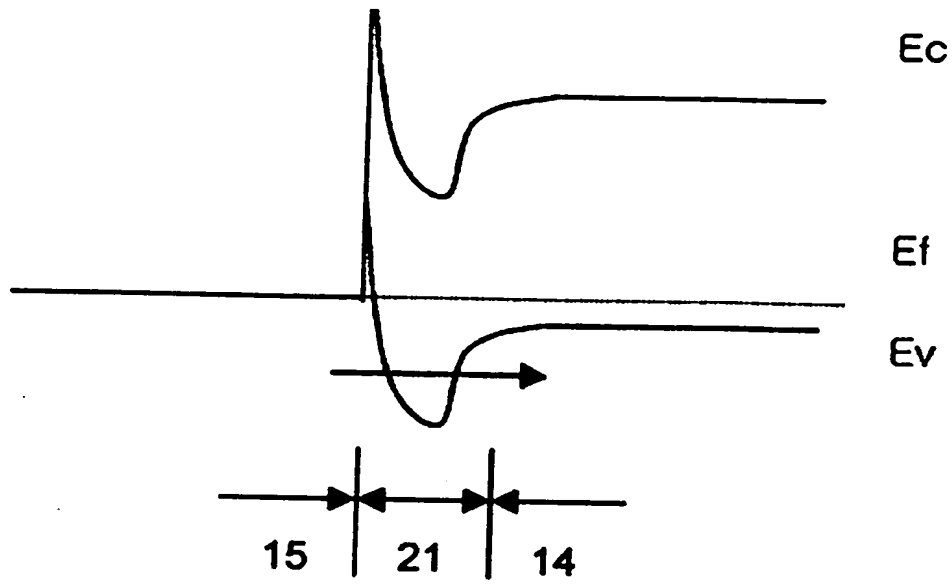
[Fig. 2]



[Fig. 3]



[Fig. 4]



[Fig. 5]

